

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 18 日
Application Date

申請案號：092109029
Application No.

申請人：全懋精密科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 7 月 24 日
Issue Date

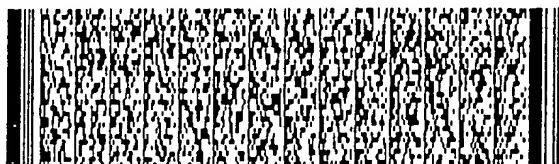
發文字號：09220747590
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	半導體封裝基板於環狀多重排列佈局之獨立鐳墊形成電鍍金屬層之方法
	英文	METHOD FOR PLATING METAL LAYER OVER ISOLATED PADS ON SUBSTRATE FOR SEMICONDUCTOR PACKAGE SUBSTRATE
二、 發明人 (共3人)	姓名 (中文)	1. 楊偉聖 2. 朱志亮
	姓名 (英文)	1. Wei-Sheng YANG 2. Chih Liang CHU
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 新竹市石坊里11鄰石坊街10號 2. 桃園縣八德市介壽路一段435號3樓
	住居所 (英文)	1. No. 10, Shfang St., 11 Lin, Shfang Li, Hsinchu, Taiwan, R.O.C. 2. 3F, No. 435, Sec. 1, Geh-Sou Rd., Ba-Teh City, Taoyuan Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 全懋精密科技股份有限公司
	名稱或姓名 (英文)	1. PHOENIX PRECISION TECHNOLOGY CORPORATION
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市科學園區力行路6號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 6, Li-Hsin Road, Science-Based Industrial Park, Hsin-Chu, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. Wen-Po LIN

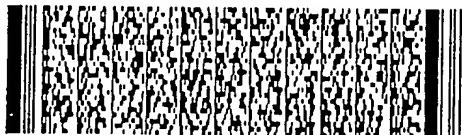


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	3. 魏國勝
	姓名 (英文)	3. Kuo Sheng WEI
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中文)	3. 中壢市仁和街21號9樓
	住居所 (英文)	3. 9Fl., No. 21, Renhe St., Jungli City, Taoyuan, Taiwan, R.O.C.
三、 請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



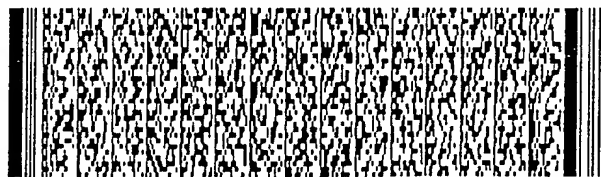
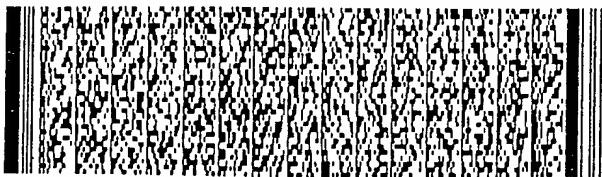
四、中文發明摘要 (發明名稱：半導體封裝基板於環狀多重排列佈局之獨立鐳墊形成電鍍金屬層之方法)

一種半導體封裝基板於環狀多重排列佈局之獨立鐳墊形成電鍍金屬層之方法，首先提供一封裝基板具多數導電盲孔 (Blind Via)，於該導電盲孔周圍形成複數個獨立鐳墊，且各獨立鐳墊朝該導電盲孔方向延伸有一未與盲孔通連之導線，俾使該導線與導電盲孔之間保有一電性絕緣區域；而後，佈覆一導電膜及一覆蓋該導電膜之光阻層至基板表面，復移除獨立鐳墊及導線上方之導電膜；接著，通接電鍍電流至基板，使送入導電盲孔之電鍍電流可以經過該導電膜及導線傳遞至獨立鐳墊，而於獨立鐳墊表面電鍍一金屬層；最後，移除該光阻層及導電膜，使得該獨立鐳墊與導電盲孔之間恢復電性絕緣狀態，以改善半導體封裝基板於電鍍製程中，環狀多重排列佈局之電性連接墊表面無法形成電鍍金屬層之問題。

本案代表圖：第 5 圖

六、英文發明摘要 (發明名稱：METHOD FOR PLATING METAL LAYER OVER ISOLATED PADS ON SUBSTRATE FOR SEMICONDUCTOR PACKAGE SUBSTRATE)

A method for plating metal layer over isolated pads within ringlike array area on semiconductor package substrate is proposed. A package substrate has conductive blind vias that are provided to form a plurality of isolated pads in peripheral region thereof, and each isolated pad toward the blind via extends a plating line without connecting to the blind via. A conductive film and

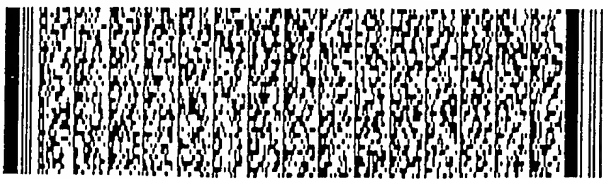


四、中文發明摘要 (發明名稱：半導體封裝基板於環狀多重排列佈局之獨立鉑墊形成電鍍金屬層之方法)

- 1 半導體封裝基板
- 10 內層線路
- 11 導電盲孔
- 12 介電層
- 13 獨立鉑墊
- 130 鉑墊本體
- 131 導線
- 15 導電膜
- 16 光阻層
- 17 電鍍金屬層

六、英文發明摘要 (發明名稱：METHOD FOR PLATING METAL LAYER OVER ISOLATED PADS ON SUBSTRATE FOR SEMICONDUCTOR PACKAGE SUBSTRATE)

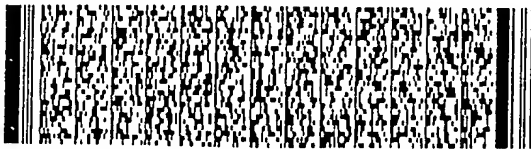
a photoresist layer coated thereon are applied on the surface of the substrate and the conductive film over these isolated pads and plating lines is then removed. Moreover, a metal layer is plated over the surface of the isolated pad by electroplating current, from the blind via of the substrate, passing through the conductive film and plating line. After the photoresist and the



四、中文發明摘要 (發明名稱：半導體封裝基板於環狀多重排列佈局之獨立鐳墊形成電鍍金屬層之方法)

六、英文發明摘要 (發明名稱：METHOD FOR PLATING METAL LAYER OVER ISOLATED PADS ON SUBSTRATE FOR SEMICONDUCTOR PACKAGE SUBSTRATE)

conductive film are both removed, electrical insulation between the isolated pad and the blind via can then be obtained. Accordingly, it improves the need of plating metal layer over the isolated pad within ringlike array during plating processes of the semiconductor package substrate.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

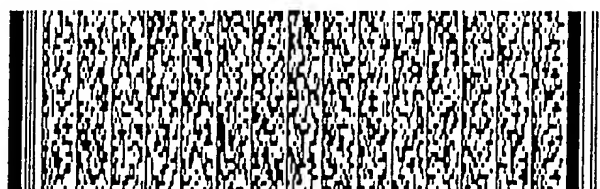
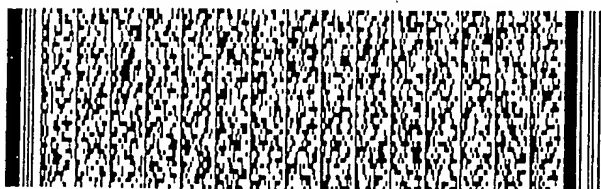
【發明所屬之技術領域】：

本發明係關於一種半導體封裝基板於環狀多重排列佈局之獨立鐸墊形成電鍍金屬層之方法，尤指一種適用於球柵陣列式 (Ball Grid Array, BGA) 具高密度電性連接墊之半導體封裝基板，而以特殊製程製作獨立鐸墊之電鍍金屬層，來提昇環狀多重排列配置的獨立鐸墊之品質。

【先前技術】：

一般半導體封裝基板表面形成有多數例如由銅材質所組成之導電線路，並由其加以延伸而成為電性連接墊，以作為訊號傳輸之用。通常，為令導電元件 (如金線、錫鐸凸塊或鐸球) 順利地電性耦接至晶片或電路板表面，電性連接墊外露表面上必須鍍設一層如鎳/金 (Ni/Au)、鎳/銀 (Ni/Ag) 等金屬層來做為焊接導電元件與電性連接墊之間之接合層。傳統電性連接墊一般包含提供覆晶型封裝基板 (Flip-chip Package Substrate) 與晶片電性耦合之凸塊鐸墊 (Bump Pad)、預鐸錫鐸墊 (Presolder Pad)，或是供打線式封裝基板 (Wire Bonding Package Substrate) 與晶片電性耦合之打線墊 (Finger)，或是可以提供封裝基板與其他電路板電性鐸結之鐸球墊 (Ball Pad) 等，藉由形成於電性連接墊表面之鎳/金金屬層，可防止電性連接墊本體氧化，並且提高導電元件與電性連接墊間之鐸接信賴性 (Solder Joint Reliability)。

傳統於電性連接墊上形成鎳/金層之方法，一般包含化學鎳/金製程、電鍍鎳/金製程、離子濺擊法以及電漿沉



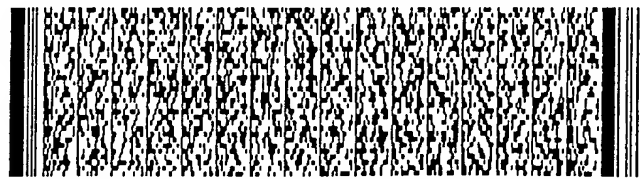
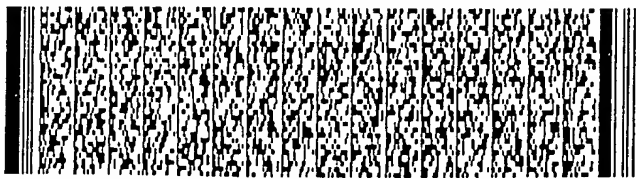
五、發明說明 (2)

積法等。惟化學鎳 / 金製程常發生許多如跳鍍或黑墊 (Black Pad) 等錫銲性欠佳之缺失，而離子濺擊法或電漿沉積法成本太高，故，最常採用的鎳 / 金層形成方法為電解式電鍍法 (Electroplating) 或非電解式電鍍法 (Electroless Plating)。

如第 8 圖所示，一般業界在封裝基板電性連接墊上電鍍鎳 / 金層，係於一已完成前段製程，例如線路圖案化之上、下線路層 21, 22、若干導通孔 23 等已形成於其中，之基板 2 上，運用顯影與蝕刻等技術，在該基板 2 上定義出若干電性連接墊 24 (如打線墊或錫球墊等)，該基板 2 之外表面上並覆有一拒銲劑層 25。

第 8 圖所示基板上之電性連接墊 24，雖已揭示電性連接墊 24 上電鍍有一鎳 / 金層 26 結構，但為形成此結構，則必須在基板上之導電線路另外佈設眾多之電鍍導線 27，俾利用電鍍導線 27 將鎳 / 金層 26 電鍍於電性連接墊 24 上。如此一來，雖可於電性連接墊 24 形成鎳 / 金層 26，但亦必須佈設眾多電鍍導線進行電鍍，不但占據了基板 2 上之佈線面積，而且在高頻使用時，因多餘之電鍍導線之天線效應，容易造成雜訊。而如果使用回蝕刻方式 (Etchback) 可切除電鍍導線 27，但仍會遺留下電鍍導線尾端部份。因此在基板上電性連接墊 24 雖形成有鎳 / 金層之結構，但又包含一堆電鍍導線尾端之紊亂結構。故，線路佈設面積不足以及在高頻使用易產生雜訊干擾之問題依舊存在。

為解決上述電鍍鎳 / 金製程之問題，另一種業界熟知



五、發明說明 (3)

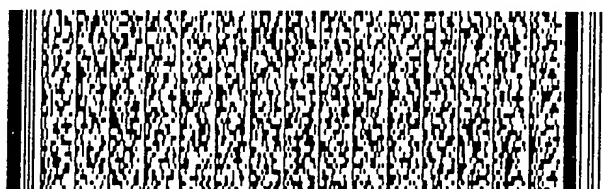
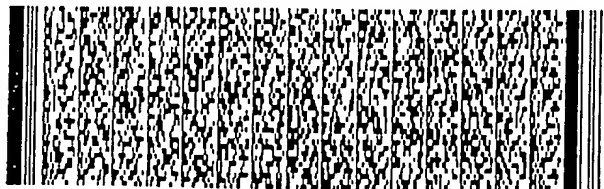
的電鍍製程係以金屬圖案化電鍍法 (Gold Pattern Plating, GPP) 製作。如第 9A圖所示，該製程首先係在基板 3 上、下表面分別形成一導電層 31，該上層導電層 31 與下層導電層 31 間以多數導通孔 (Plating Through Hole, PTH) 或盲孔 (Blind Via) (均未圖示) 電性連接。

接著，如第 9B圖所示，於該基板 3 導電層 31 覆蓋一光阻層 32 (Photoresist)，並使該光阻層 32 具有開孔以露出預備形成線路區域之導電層 31，藉該導電層 31 作為電流傳導路徑，於該導電層 31 上未被光阻層 32 覆蓋之區域電鍍一層鎳 / 金金屬層 33。

之後，如第 9C圖所示，移除該光阻層 32，復以該鎳 / 金金屬層 33 當作遮罩阻層，利用蝕刻技術將鎳 / 金層 33 下之導電層 31 進行線路圖案化，以使該導電層 31 形成之線路圖案 310 表面著覆一層鎳 / 金金屬層 33，如第 9D圖所示。

GPP 技術雖係利用導電層取代電鍍導線來提供鎳 / 金電鍍電流通過，惟於基板整個線路層 (包含電性連接墊與所有導電線路) 表面均覆蓋上鎳 / 金金屬層，其材料成本極其昂貴，而且，線路層表面整個覆蓋有鎳金層，亦會導致基板實施後續線路圖案化製程時，因拒鍍劑層與鎳金層材質特性差異而導致兩者之間著附困難，無法達到穩定的結合。故，為克服上述問題，業界提出一種無電鍍導線 (Non-plating Line, NPL) 製程技術來形成電性連接墊表面之電鍍鎳 / 金金屬層。

以 NPL 製程於電性連接墊上形成電鍍金屬層，雖可免



五、發明說明 (4)

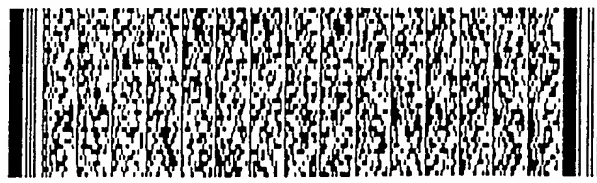
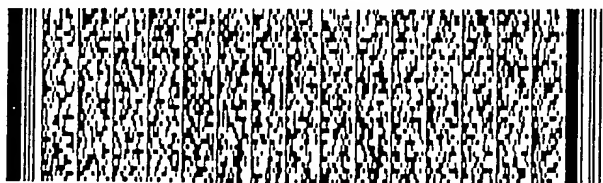
除電鍍導線佈局之缺失，惟當此技術應用到高密度 (High Density) 或微間距 (Fine Pitch) 半導體封裝基板時，因電性連接墊 42 間距縮小，常造成相鄰連接墊的導電膜 41 開口 411 部分重疊。此情況若發生在環狀多重排列之鐳墊佈局 (指基板 4 某一區域四周都為獨立鐳墊 42 所圈圍) 時，如第 10 圖所示，部分重疊的導電膜 41 開口 411 會彼此連接，導致位於多重排列鐳墊內之局部導電膜 412 無法與外部電流通而形成斷路區 D，使獨立鐳墊 42 無法進行電鍍金屬層。再者，採用高密度或微間距之基板設計，獨立鐳墊周圍無法保有足夠面積可供電鍍導線向外佈設，亦會使得過多電鍍導線無處伸展至可供電流通之導電膜 41 上，造成斷路區 D 內的獨立鐳墊 42 即使勉強佈設電鍍導線也無法進行電鍍。

因此，業者如何簡化製程步驟、花費較少成本、並且避免傳統電鍍導線製程產生之信賴性問題，以及防止獨立鐳墊於環狀多重排列中無法形成電鍍金屬層之缺失，而研發出一適用於半導體封裝基板獨立鐳墊電鍍金屬層製法，實已成目前亟欲解決之課題。

【內容】：

本發明之主要目的在於提供一種解決封裝基板電鍍製程中，獨立鐳墊採環狀多重排列方式佈局時，可於鐳墊表面形成電鍍金屬層之方法。

本發明之另一目的在於提供一種改變封裝基板電鍍製程中，獨立鐳墊的電鍍電流配送方向，使獨立鐳墊周圍可



五、發明說明 (5)

保有更大佈線空間之方法。

為達成上揭及其他目的，本發明提供一種半導體封裝基板於環狀多重排列佈局之獨立鐸墊形成電鍍金屬層之方法。該方法包括以下步驟：

首先，提供一半導體封裝基板，該基板具有多個與內層線路電性連接之導電盲孔，且基板表面形成有複數個獨立鐸墊，該獨立鐸墊朝導電盲孔方向延伸有一段未與導電盲孔通連之導線，且各導線末端與導電盲孔之間可藉由一電性絕緣區域隔開；

佈覆一導電膜至基板表面，以使該導電盲孔及獨立鐸墊延伸導線之間藉該導電膜電性連接；

佈覆一光阻層至導電膜上，於該光阻層形成有至少一開口，使該獨立鐸墊表面之導電膜顯露於該光阻層開口；

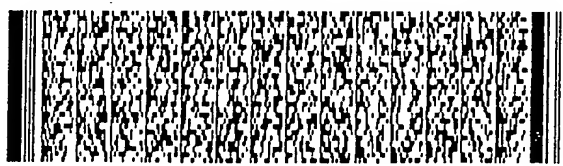
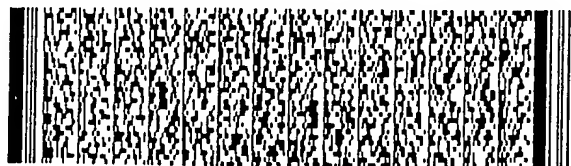
移除該光阻層開口處之導電膜，使該獨立鐸墊與導電盲孔之間可藉該導電膜電性連接；

通接電鍍電流至基板，以使該獨立鐸墊表面形成一電鍍金屬層；

移除該光阻層及其覆蓋之導電膜，使該獨立鐸墊與導電盲孔之間恢復電性絕緣狀態；

再敷設一拒鐸劑層至基板表面，使得各獨立鐸墊顯露於該拒鐸劑層開口，即完成封裝基板獨立鐸墊之電鍍金屬層形成步驟。

於環狀排列鐸墊中央開設導電盲孔，不僅可以解決封裝基板電鍍導製程中，獨立鐸墊表面無法形成電鍍金屬層



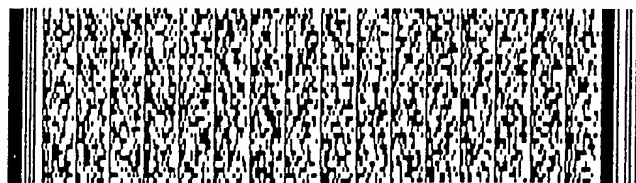
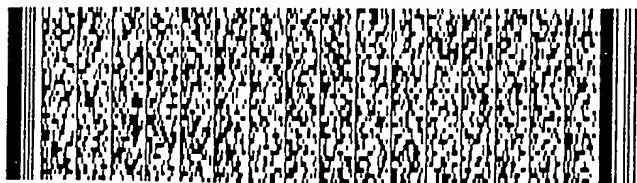
五、發明說明 (6)

之問題，更能進一步改變電鍍電流提供方向，從環狀排列鍍墊核心部（盲孔所在位置）分送電鍍電流，使環狀排列鍍墊周圍可以騰出更多空間提供線路佈設，俾增加基板有效佈線面積。

【實施方式】：

請參閱第 1 圖至第 7 圖詳細說明本發明之半導體封裝基板於環狀多重排列佈局之獨立鍍墊形成電鍍金屬層之方法，惟為清楚示意本發明製法的各項實施步驟，以下各以第 1A、2A、3A、4A、6A、7A 圖及第 1B、2B、3B、4B、6B、7B 圖對應顯示同一實施步驟，並以相同元件符號分別表示 A 系列之上視示意圖與 B 系列之剖面示意圖。

如第 1A 及 1B 圖所示，首先提供一半導體封裝基板 1，該基板為如第 1A 圖所示具有以環狀排列方式佈設鍍墊之高密度封裝基板。該基板 1 並已完成所有前段製程，諸如於基板 1 內部形成內層線路 10 與導電盲孔 11，該導電盲孔 11 係貫穿該內層線路 10 上方之介電層 12，並與該內層線路 10 電性導通，導電盲孔 11 周圍之介電層 12 上形成複數個獨立鍍墊 13，該獨立鍍墊 13 係以環狀多重排列型態分布，而該鍍墊本體 130 向內則延伸出一段未與導電盲孔 11 連接之導線 131，使得該導電盲孔 11 周圍與導線 131 末端間，保有一電性絕緣區域 14。其中，該介電層 12 可選用有機材質、纖維強化（Fiber-reinforced）材質或顆粒強化（Particle-reinforced）材質等所構成，如環氧樹脂（Epoxy Resin）、順雙丁烯二酸鹽亞胺 / 三氮吡

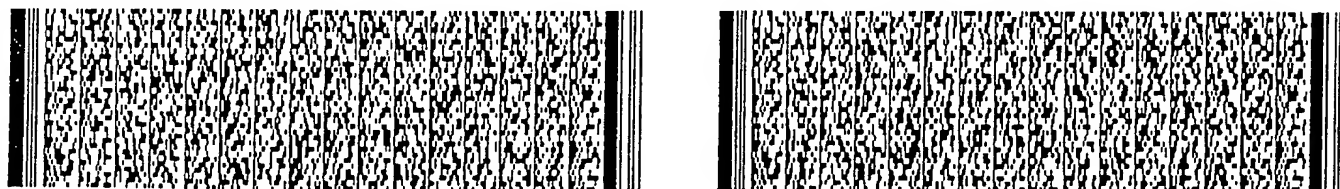


五、發明說明 (7)

(Bismaleimide Triazine) 樹脂或氰酯類 (Cyanate Ester) 等。有關導電盲孔及線路形成技術種類繁多，惟俱為業界所慣用之製程，亦非本案特徵所在，故在此不予贅述。

接著，如第 2A及 2B圖所示，於該封裝基板 1 表面覆上一層導電膜 15，以作為進行後續電鍍金屬層所需之電鍍電流傳送路徑。該導電膜 15 之材質係由金屬、合金或其他導電高分子材料所構成，如銅、錫、鎳、鉻、鈦、銅鉻合金或錫鉛合金所構成，惟其較佳者係由銅粒子或鈰粒子所構成，而藉由電鍍 / 無電鍍製程，如物理氣相沉積 (PVD)、化學氣相沉積 (CVD)、濺鍍 (Sputtering)、蒸鍍 (Evaporation)、電弧沉積 (Arc Vapor Deposition)、離子束濺鍍 (Ion Beam Sputtering)、雷射熔散沉積 (Laser Ablation Deposition)、電漿促進式化學氣相沉積或有機金屬化學沉積等方法來形成於封裝基板 1 表面，使該基板 1 表面可以區分成：未與獨立鉑墊 13 直接接觸且用於遮覆導電線之鉑墊外圍區 (如圖中 A 區所示)、覆蓋鉑墊本體 130 及大部分導線 131 之鉑墊電鍍區 (如圖中 B 區所示) 及包含導電盲孔 11，電性絕緣區域 14，以及導線 131 末端之盲孔電鍍區 (如圖中 C 區所示) 三部份。

之後，如第 3A 及 3B 圖所示，於該覆蓋有導電膜 15 之基板 1 表面覆上一光阻層 16，該光阻層 16 可運用印刷、旋塗 (Spin-on) 或貼合等方式形成一乾膜或以液態光阻劑塗佈，並於該光阻層 16 形成具有多數具預定大小之開口



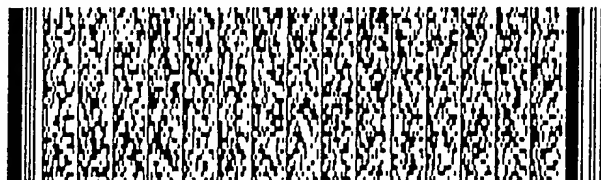
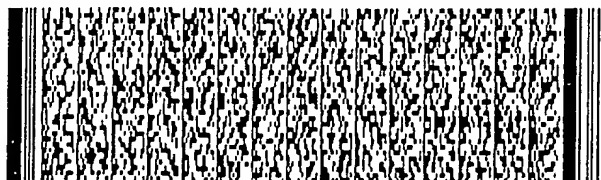
五、發明說明 (8)

160，以使未受該光阻層 16 覆蓋之導電膜 15 部位得以外露。故，如第 3A 圖所示，經過光阻層 16 覆蓋之基板 1 表面中，該鐳墊外露區 A 及盲孔電鍍區 C 均為該光阻層 16 所遮覆，而該鐳墊電鍍區 B 之導電膜 15 則顯露於外。

接著，如第 4A 及 4B 圖所示，藉由蝕刻或雷射技術移除未被該光阻層 16 遮覆之導電膜 15，如第 4B 圖所示，亦即移除該鐳墊電鍍區 B 上之導電膜 15，俾使該鐳墊本體 130 及大部分導線 131 重新外露，而形成導電盲孔 11、導電膜 15、導線 131 至鐳墊本體 130 之間電性連接，而該鐳墊外露區 A 與鐳墊本體 130 之間呈現斷路的狀態。

而後，如第 5 圖所示，利用電鍍方法 (Electroplating) 對該封裝基板 1 進行一電鍍金屬層步驟。該電鍍金屬層 17 可為金、鎳、鈀、銀、錫、鎳/鈀、鉻/鈦、鎳/金、鈀/金或鎳/鈀/金等；藉由該導電膜 15 所具有之導電特性，作為電鍍時該電鍍電流的傳導路徑，俾使該電鍍電流可藉由內層線路 10 經由導電盲孔 11、導電膜 15 傳導至鐳墊本體 130，以於該鐳墊本體 130 外表面電鍍形成一電鍍金屬層 17。以本實施例而言，該電鍍金屬層 17 較佳者為電鍍鎳/金層，其係先電鍍一鎳層後，再於該鎳層電鍍一層金，惟除鎳/金層以外，本發明製法對電鍍金屬材質之選擇，亦可單獨使用鎳、金或前述金屬之任一者，例如直接以鈀粒子電鍍於鐳墊顯露表面，此為材質簡單替換而應包含於本發明實施之範疇。

接著，如第 6A 及 6B 圖所示，俟完成形成於獨立鐳墊 13



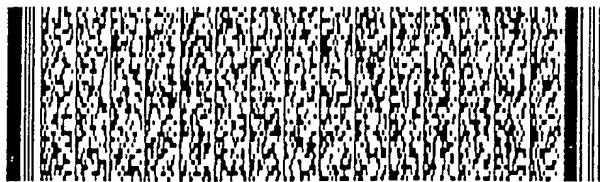
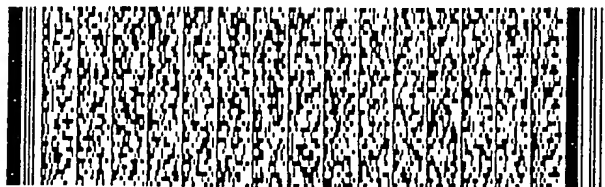
五、發明說明 (9)

外露表面之電鍍金屬層 17 製程後，先移除該光阻層（如第 5 圖 16 所示），之後，再將先前為該光阻層所覆蓋之鐳墊外圍區 A 以及盲孔電鍍區 C 上之導電膜（如第 5 圖 15 所示）移除，即形成如第 6A 圖所示之鐳墊結構，於該介電層 12 上形成有多數表面鍍有電鍍金屬層 17 之獨立鐳墊 13。

然後，如第 7A 及 7B 圖所示，於該封裝基板 1 表面覆蓋上一拒鐳層 18（Solder Mask），例如綠漆，藉以保護該封裝基板 1 免受外界水塵污染並阻隔不當電性連接。該拒鐳層 18 上形成有至少一開孔 180，以於該拒鐳層 18 覆蓋基板 1 後令表面形成有電鍍金屬層 17 之獨立鐳墊 13 外露於各開孔 180，惟該拒鐳層 18 開孔 180 之孔徑可大於或小於該獨立鐳墊 13 之大小，而採用鐳罩定義式（Solder Mask Defined, SMD）或非鐳罩定義式（Non-solder Mask Defined, NSMD）方式形成之，使覆有該電鍍金屬層 17 之獨立鐳墊 13 可提供晶片或電路板作為相接的界面。

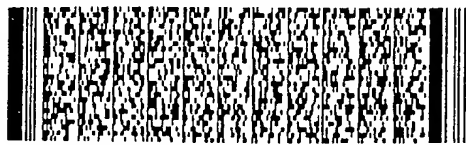
本發明之半導體封裝基板於環狀排列鐳墊中央開設盲孔，不僅可以解決如高密度封裝基板於電鍍製程製作獨立鐳墊時，鐳墊圈圍區域無法於鐳墊表面形成電鍍金屬層之問題，更可透過盲孔為環狀排列鐳墊內部提供電鍍電流，以改變電鍍電流提供方向，使實施電鍍製程時，該獨立鐳墊外圍得騰出更多空間提供線路佈設，藉此增加基板佈線面積。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之實質技術內容範圍，本發明之實質技術內容係



五、發明說明 (10)

廣義地定義於下述之申請專利範圍中，任何他人完成之技術實體或方法，若是與下述之申請專利範圍所定義者係完全相同，亦或為一種等效之變更，均將被視為涵蓋於此申請專利範圍之中。



圖式簡單說明

【圖式簡單說明】：

第 1A圖係本發明之封裝基板於盲孔周圍形成環狀排列佈局之獨立鐳墊之上視示意圖；

第 1B圖係本發明之封裝基板於盲孔周圍形成環狀排列佈局之獨立鐳墊之剖面示意圖；

第 2A圖係本發明之封裝基板於基板表面佈覆導電膜之上視示意圖；

第 2B圖係本發明之封裝基板於基板表面佈覆導電膜之剖面示意圖；

第 3A圖係本發明之封裝基板於導電膜上佈覆光阻層之上視示意圖；

第 3B圖係本發明之封裝基板於導電膜上佈覆光阻層之剖面示意圖；

第 4A圖係本發明之封裝基板移除鐳墊電鍍區導電膜之上視示意圖；

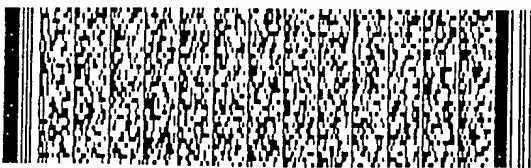
第 4B圖係本發明之封裝基板移除鐳墊電鍍區導電膜之剖面示意圖；

第 5圖係本發明之封裝基板形成電鍍金屬層之示意圖；

第 6A圖係本發明之封裝基板移除光阻層及導電膜之上視示意圖；

第 6B圖係本發明之封裝基板移除光阻層及導電膜之剖面示意圖；

第 7A圖係本發明之封裝基板佈覆拒鐳層後之上視示意



圖式簡單說明


圖 ；

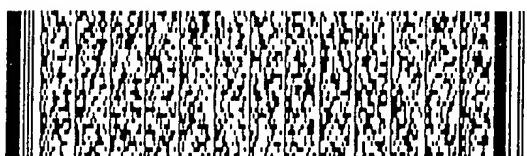
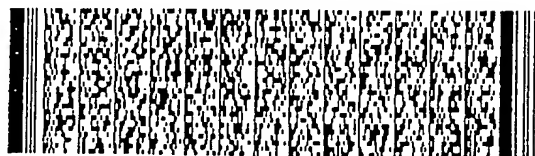
第 7B圖 係本發明之封裝基板佈覆拒錒層後之剖面示意圖 ；

第 8圖 係習知球柵陣列式半導體封裝基板以電鍍導線電鍍之上視示意圖 ；

第 9A至 9D圖 係以習知金層圖案化電鍍法 (Gold Pattern Plating, GPP) 形成基板電鍍層之流程示意圖 ；以及

第 10圖 係習知以無電鍍導線 (NPL) 製程形成環狀多重排列之獨立錒墊時，錒墊圈圍區域無法實施電鍍之上視示意圖。

1, 2, 3, 4	半導體封裝基板	10	內層線路
11	導電盲孔	12	介電層
13, 42	獨立錒墊	130	錒墊本體
131	導線	14	電性絕緣區域
15, 41	導電膜	16, 32	光阻層
160	光阻層開口	17, 26, 33	電鍍金屬層
18, 25	阻錒層	180	阻錒層開孔
	電性連接墊	27	電鍍導線
31	導電層	A	錒墊外圍區
B	錒墊電鍍區	C	盲孔電鍍區
D	斷路區		



六、申請專利範圍

1. 一種半導體封裝基板於環狀多重排列佈局之獨立鉀墊形成電鍍金屬層之方法，其步驟包括：

提供一封裝基板，該基板具有多個與內層線路電性連接之導電盲孔，且基板表面形成有複數個獨立鉀墊，該獨立鉀墊朝導電盲孔方向延伸有一段未與導電盲孔通連之導線，且各導線末端與導電盲孔之間藉由一電性絕緣區域隔開；

佈覆一導電膜至基板表面，以使該導電盲孔及獨立鉀墊延伸導線之間

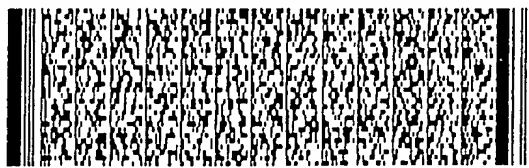
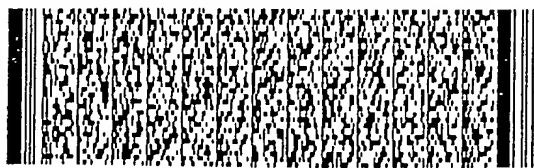
可藉該導電膜電性連接；

佈覆一光阻層至導電膜上，於該光阻層形成有至少一開口，使該獨立鉀墊表面之導電膜顯露於該光阻層開口；

移除該光阻層開口處之導電膜，使該獨立鉀墊與導電盲孔之間可藉該導電膜電性連接；

通接電鍍電流至基板，以使該獨立鉀墊表面形成一電鍍金屬層；以及

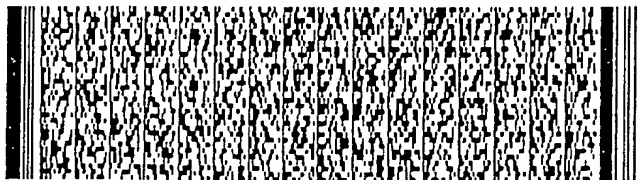
移除該光阻層及其覆蓋之導電膜，使該獨立鉀墊與導電盲孔之間恢復電性絕緣狀態。
2. 如申請專利範圍第1項之獨立鉀墊形成電鍍金屬層之方法，復包含於該封裝基板形成一拒鉀層，該拒鉀層具有複數個開孔以顯露出形成有該電鍍金屬層之獨立鉀墊。
3. 如申請專利範圍第2項之獨立鉀墊形成電鍍金屬層之方



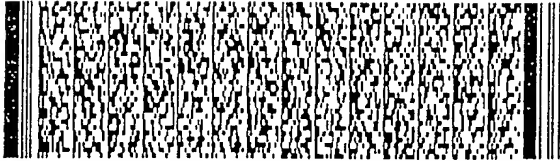
六、申請專利範圍

法，其中，該拒錒層係一綠漆。

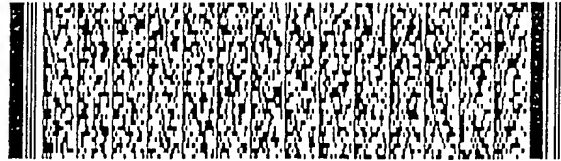
4. 如申請專利範圍第2項之獨立錒墊形成電鍍金屬層之方法，其中，該拒錒層開孔之孔徑係小於該獨立錒墊，以形成一錒罩定義式 (Solder Mask Defined, SMD) 錒墊。
5. 如申請專利範圍第2項之獨立錒墊形成電鍍金屬層之方法，其中，該拒錒層開孔之孔徑係大於該獨立錒墊，以形成一非錒罩定義式 (Non-solder Mask Defined, SMD) 錒墊。
6. 如申請專利範圍第1項之獨立錒墊形成電鍍金屬層之方法，其中，該導電膜係由金屬、合金及導電高分子材料之任一者所構成。
7. 如申請專利範圍第6項之獨立錒墊形成電鍍金屬層之方法，其中，該導電膜係選自銅、錫、鈮、鎳、鉻、鈦、銅鉻合金及錫鉛合金所組組群之一者所製成。
8. 如申請專利範圍第1項之獨立錒墊形成電鍍金屬層之方法，其中，該光阻層係選自乾膜及液態光阻劑之任一者。
9. 如申請專利範圍第1項之獨立錒墊形成電鍍金屬層之方法，其中，該電鍍金屬層係選自如金、鎳、鈮、銀、錫、鎳/鈮、鉻/鈦、鎳/金、鈮/金及鎳/鈮/金等所組組群之一者所製成。



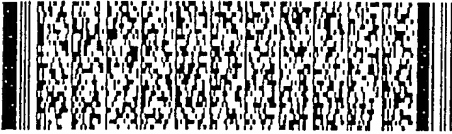
第 1/20 頁



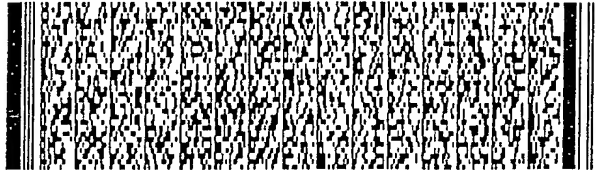
第 1/20 頁



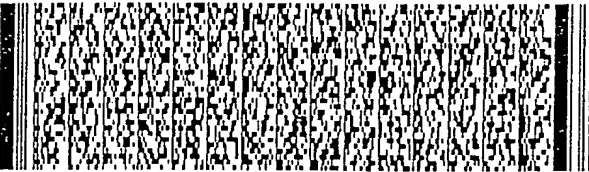
第 2/20 頁



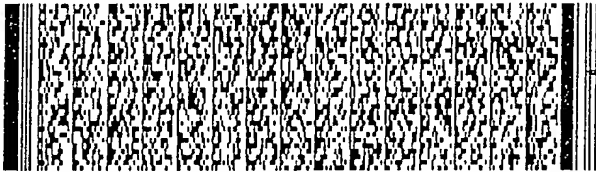
第 3/20 頁



第 3/20 頁



第 4/20 頁



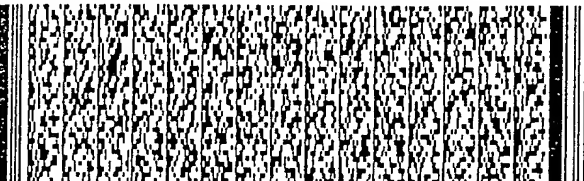
第 5/20 頁



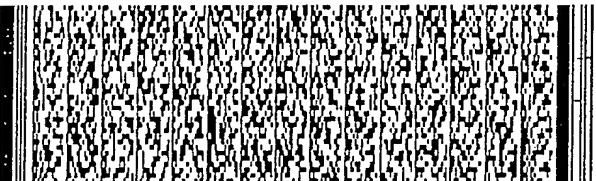
第 6/20 頁



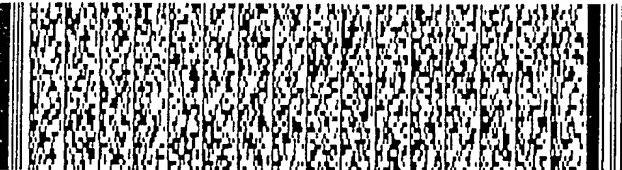
第 7/20 頁



第 7/20 頁



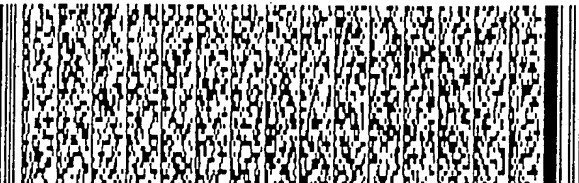
第 8/20 頁



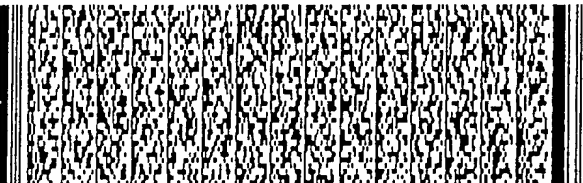
第 8/20 頁



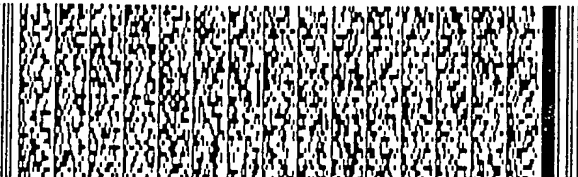
第 9/20 頁



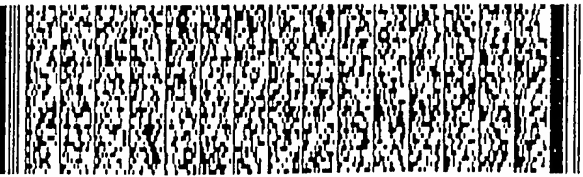
第 9/20 頁



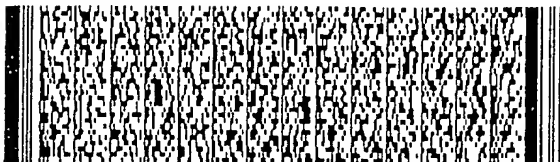
第 10/20 頁



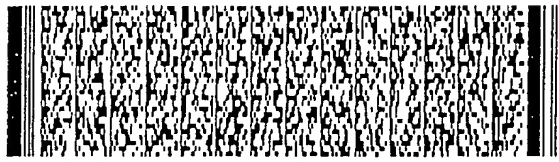
第 10/20 頁



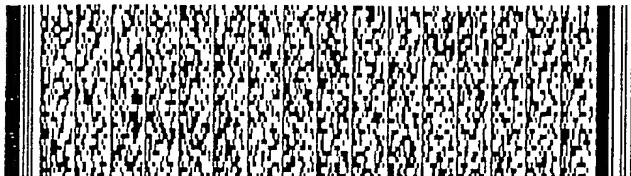
第 11/20 頁



第 11/20 頁



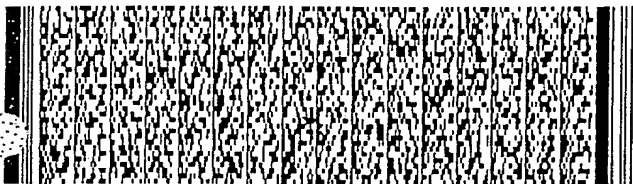
第 12/20 頁



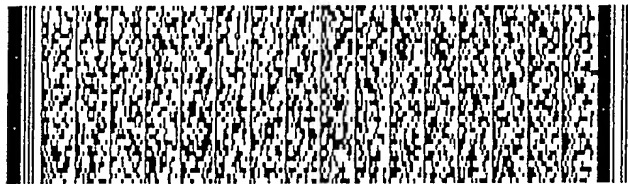
第 12/20 頁



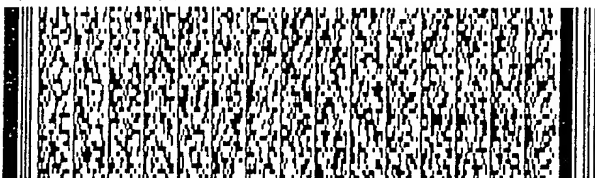
第 13/20 頁



第 13/20 頁



第 14/20 頁



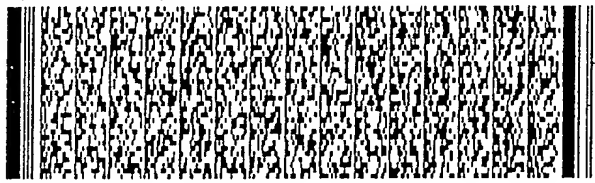
第 14/20 頁



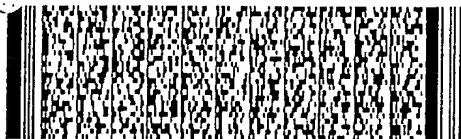
第 15/20 頁



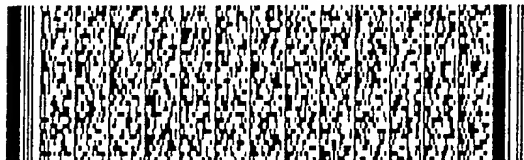
第 15/20 頁



第 16/20 頁



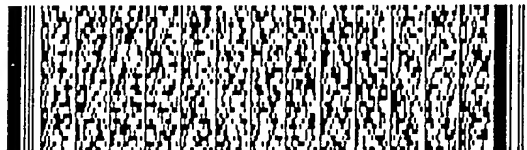
第 17/20 頁



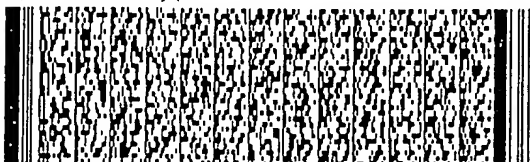
第 18/20 頁



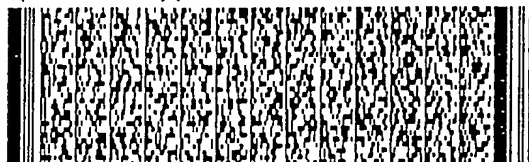
第 18/20 頁

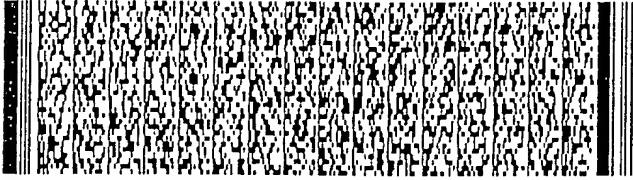


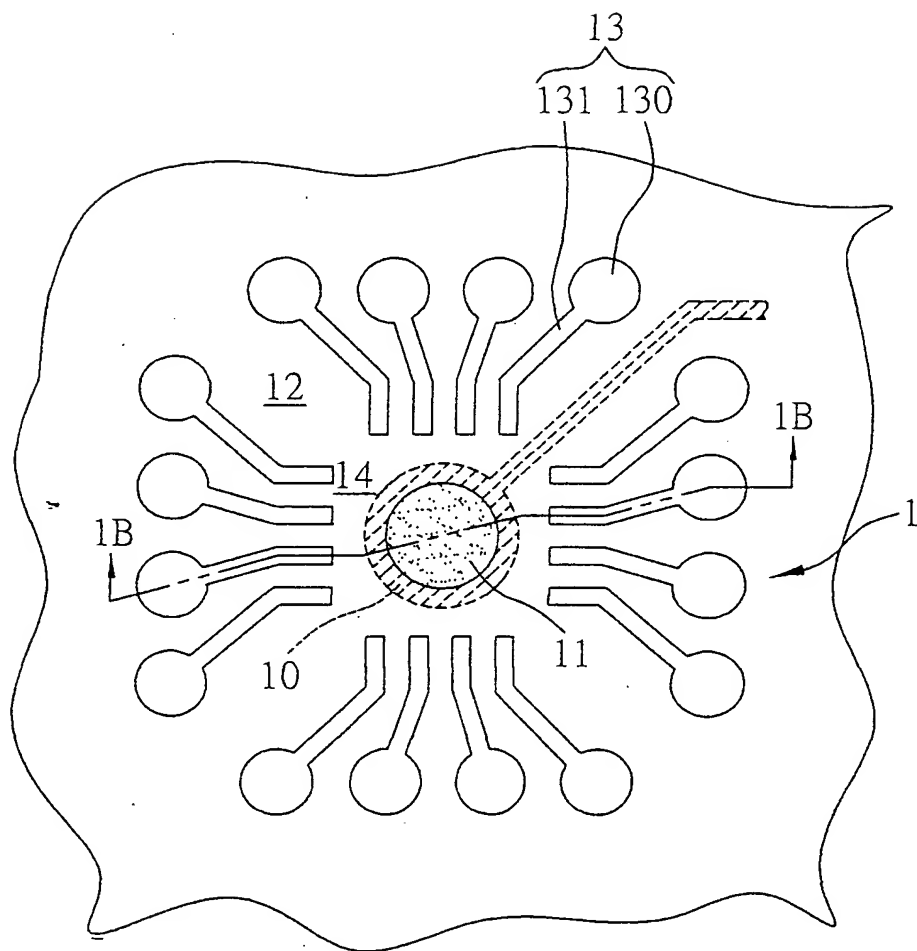
第 19/20 頁



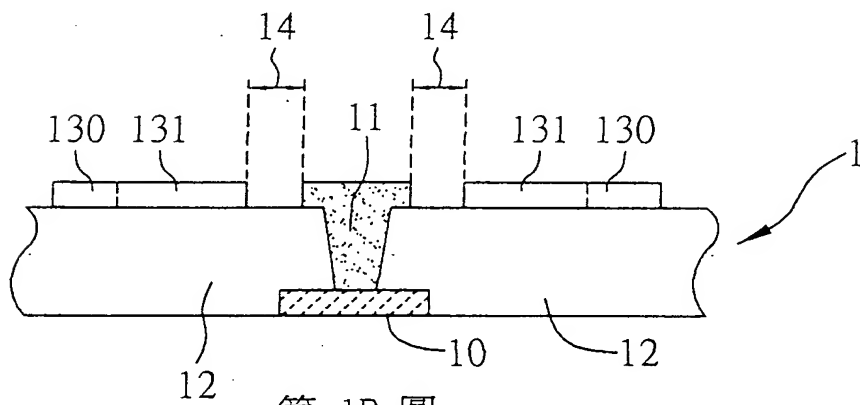
第 19/20 頁



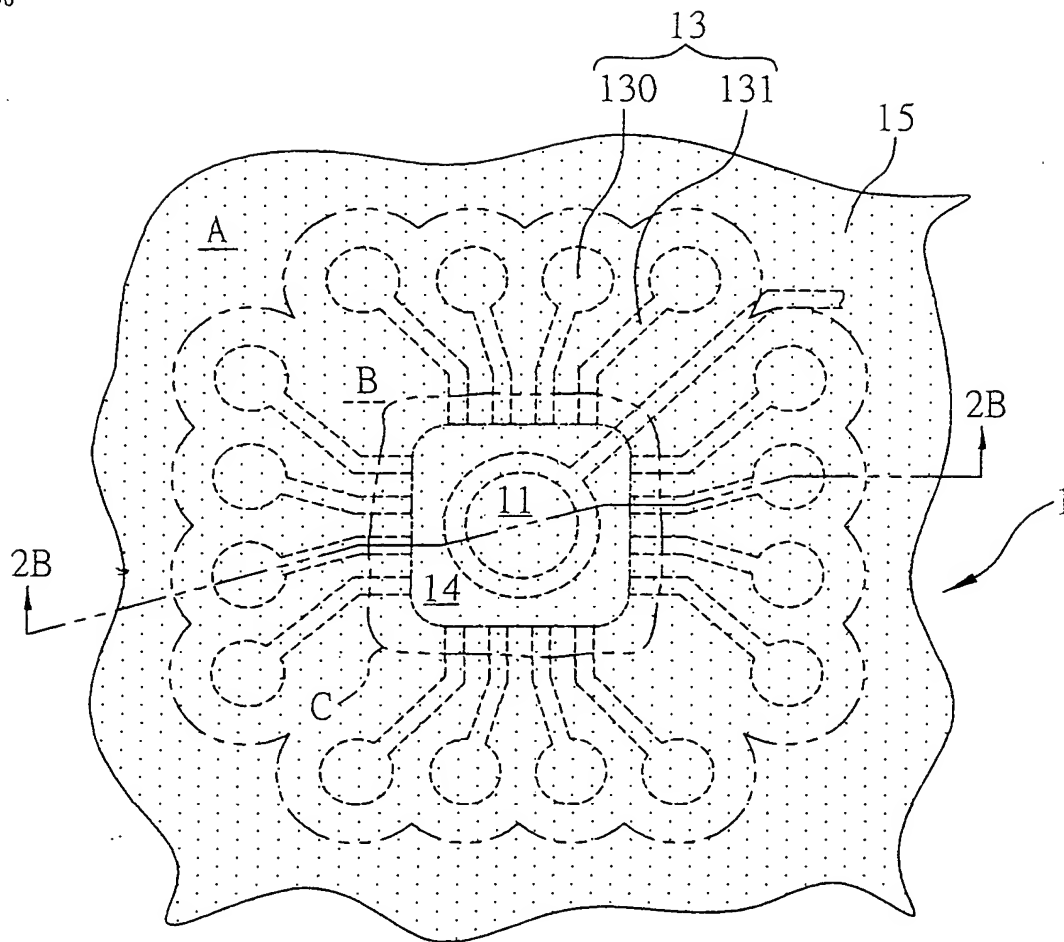




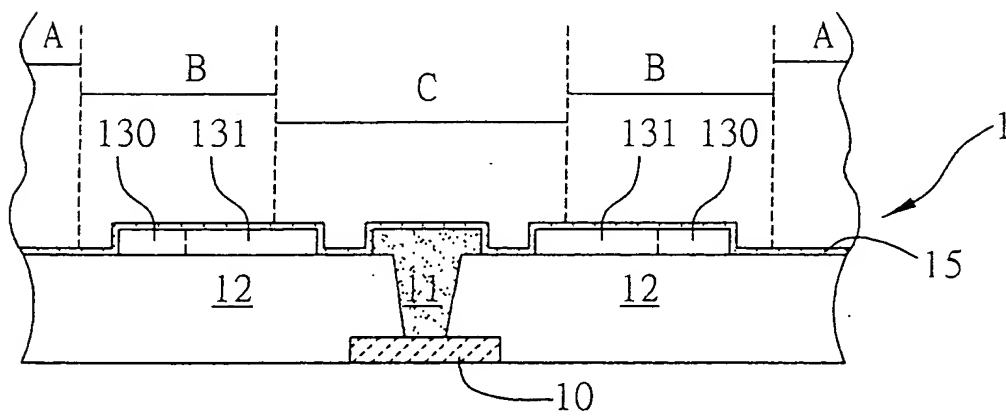
第 1A 圖



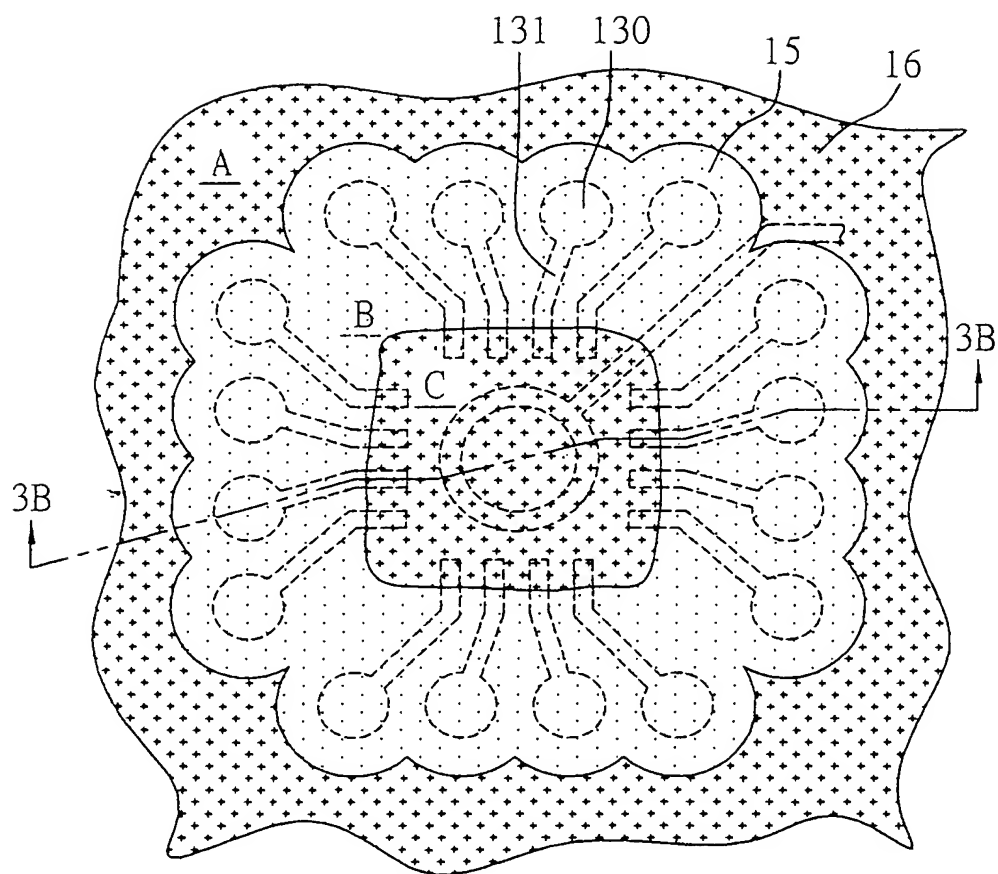
第 1B 圖



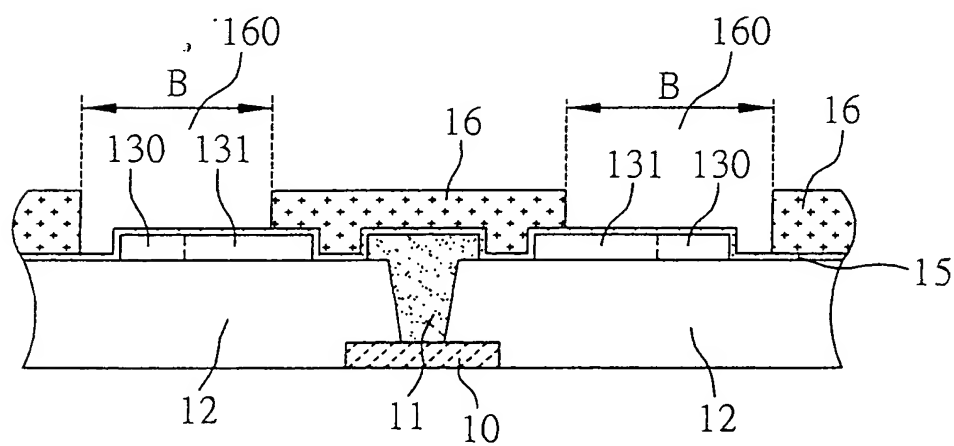
第 2A 圖



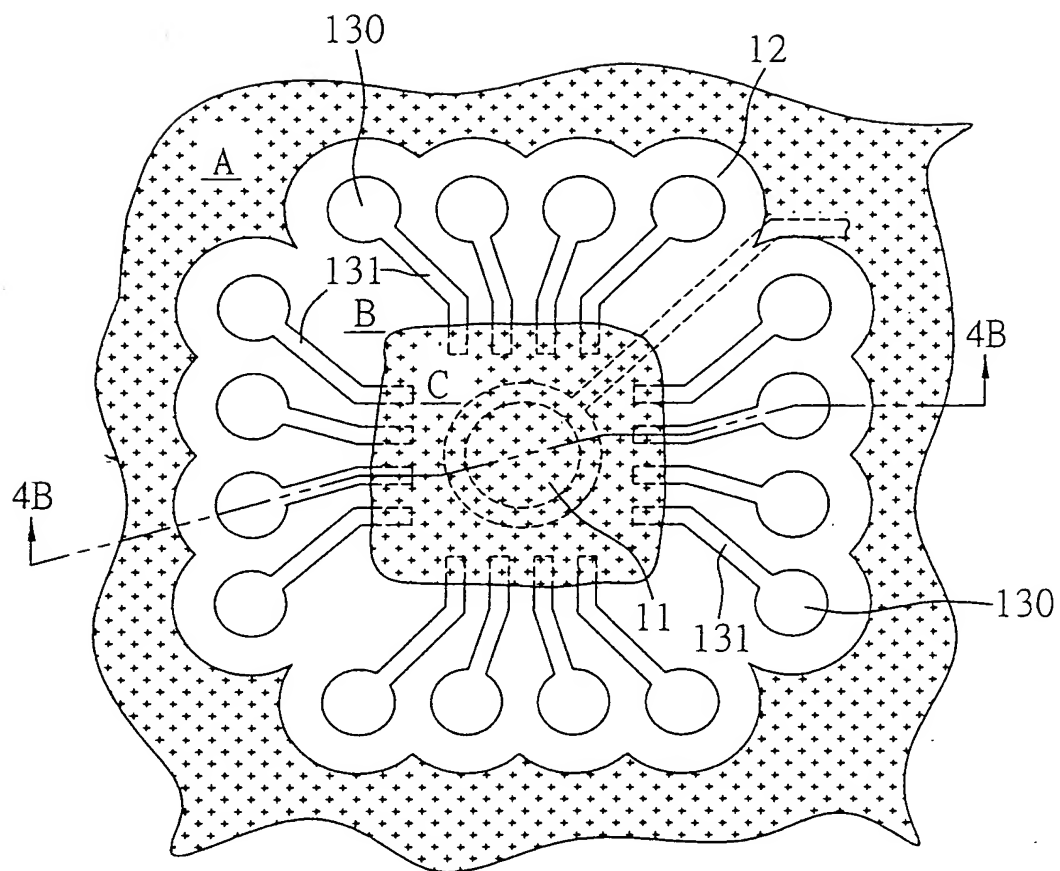
第 2B 圖



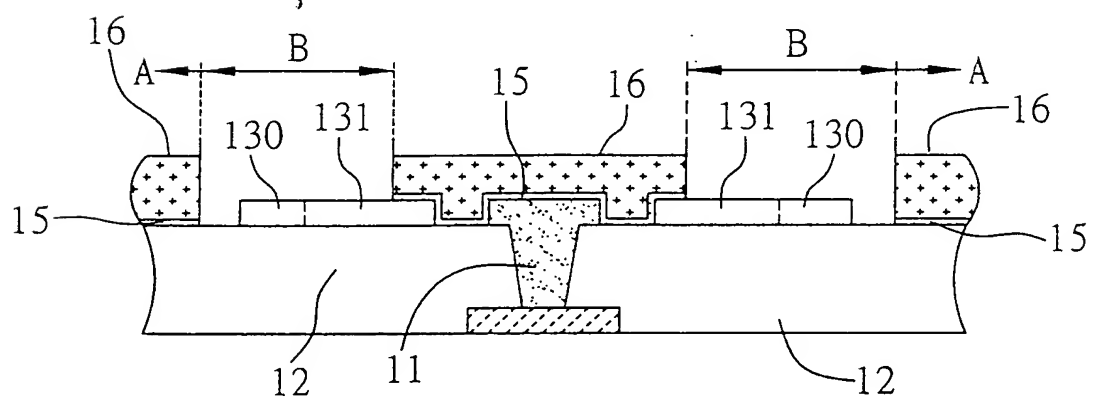
第 3A 圖



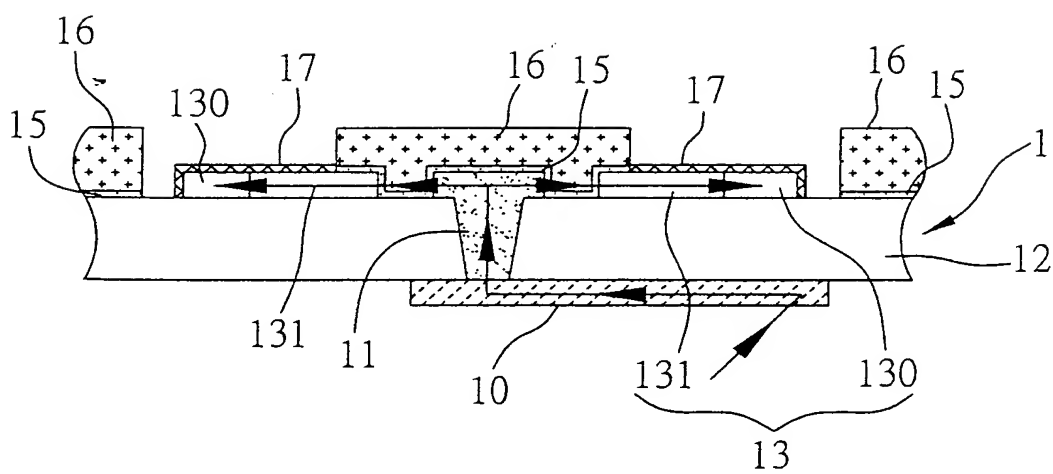
第 3B 圖



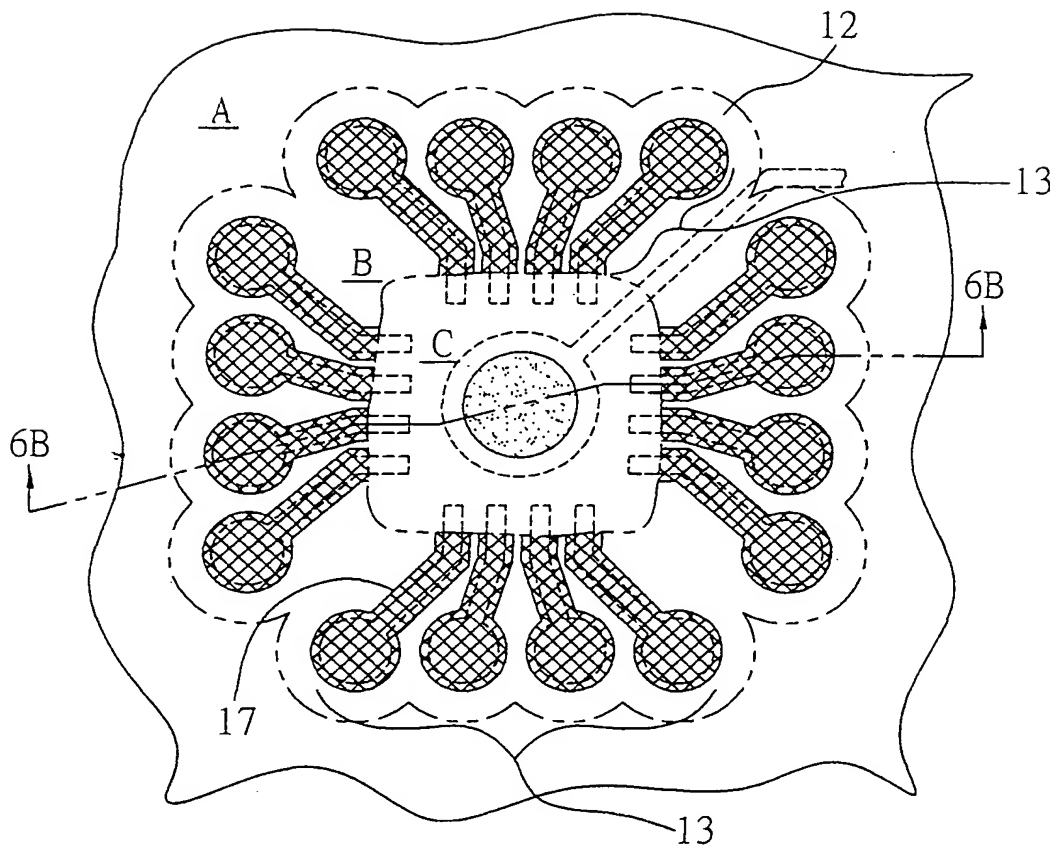
第 4A 圖



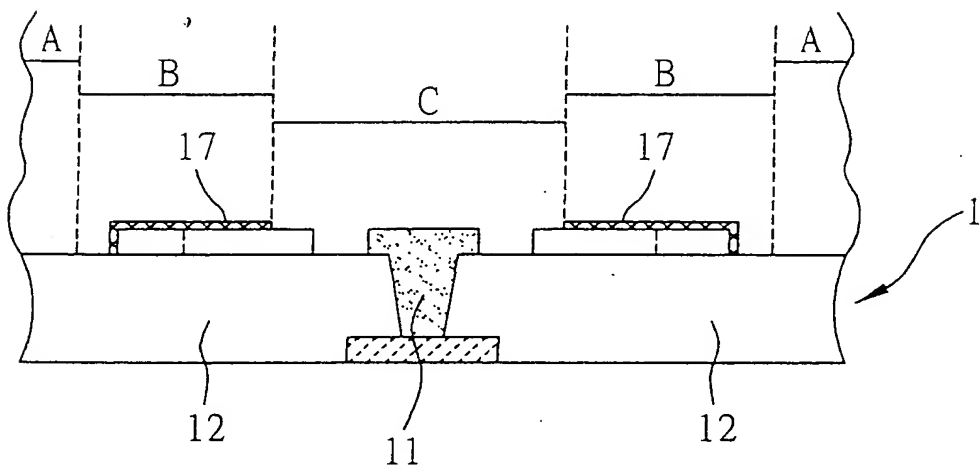
第 4B 圖



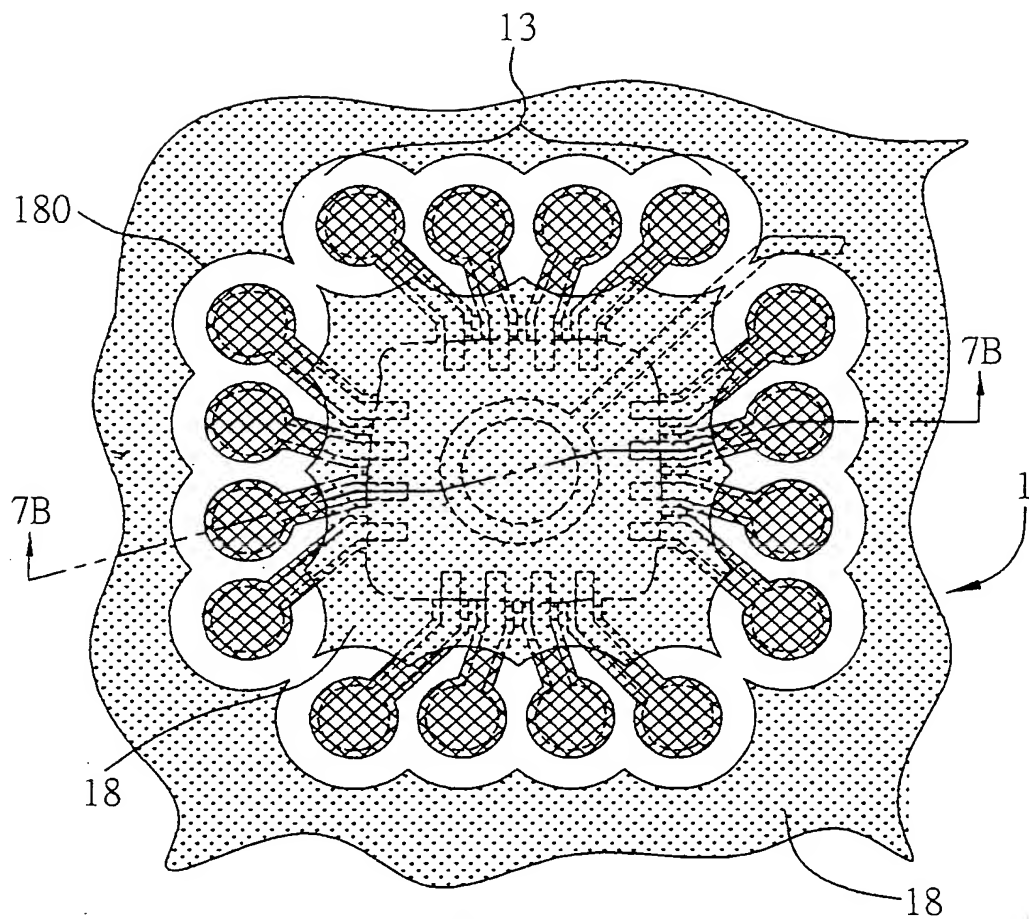
第 5 圖 (代表圖)



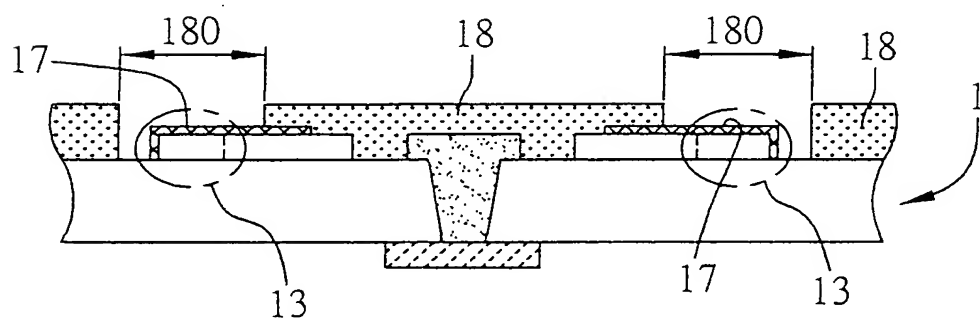
第 6A 圖



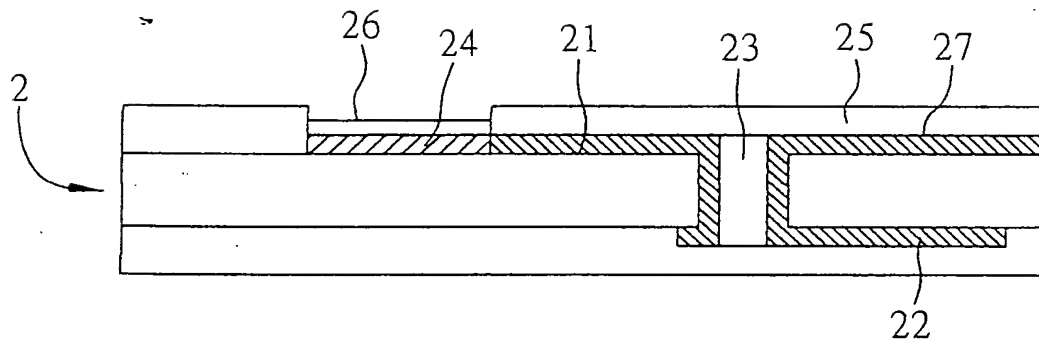
第 6B 圖



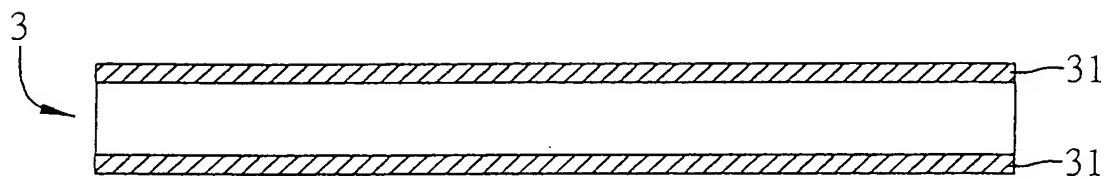
第 7A 圖



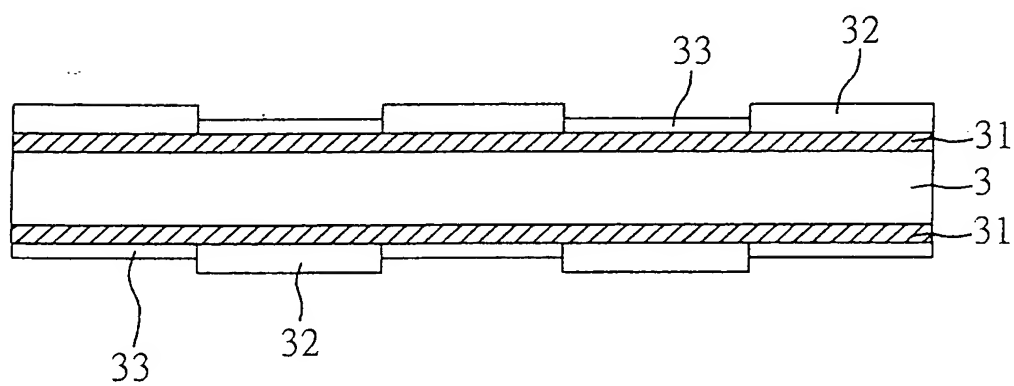
第 7B 圖



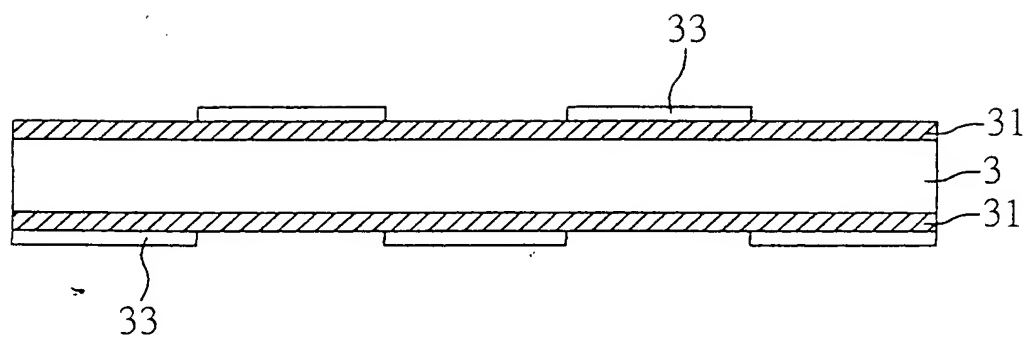
第 8 圖 (習知技術)



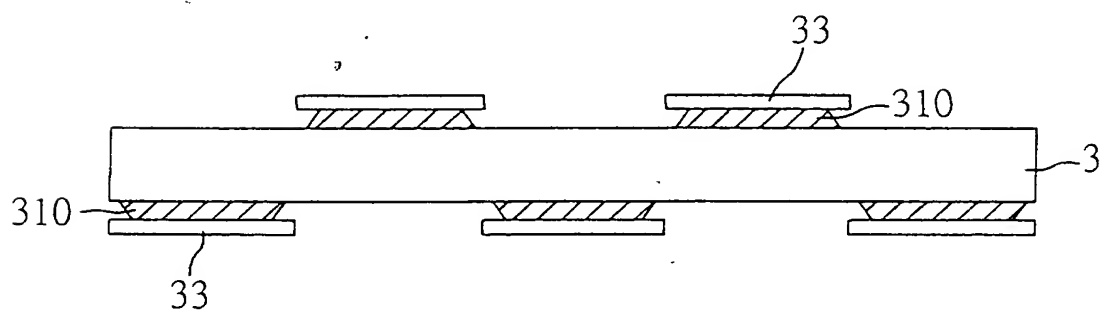
第 9A 圖 (習知技術)



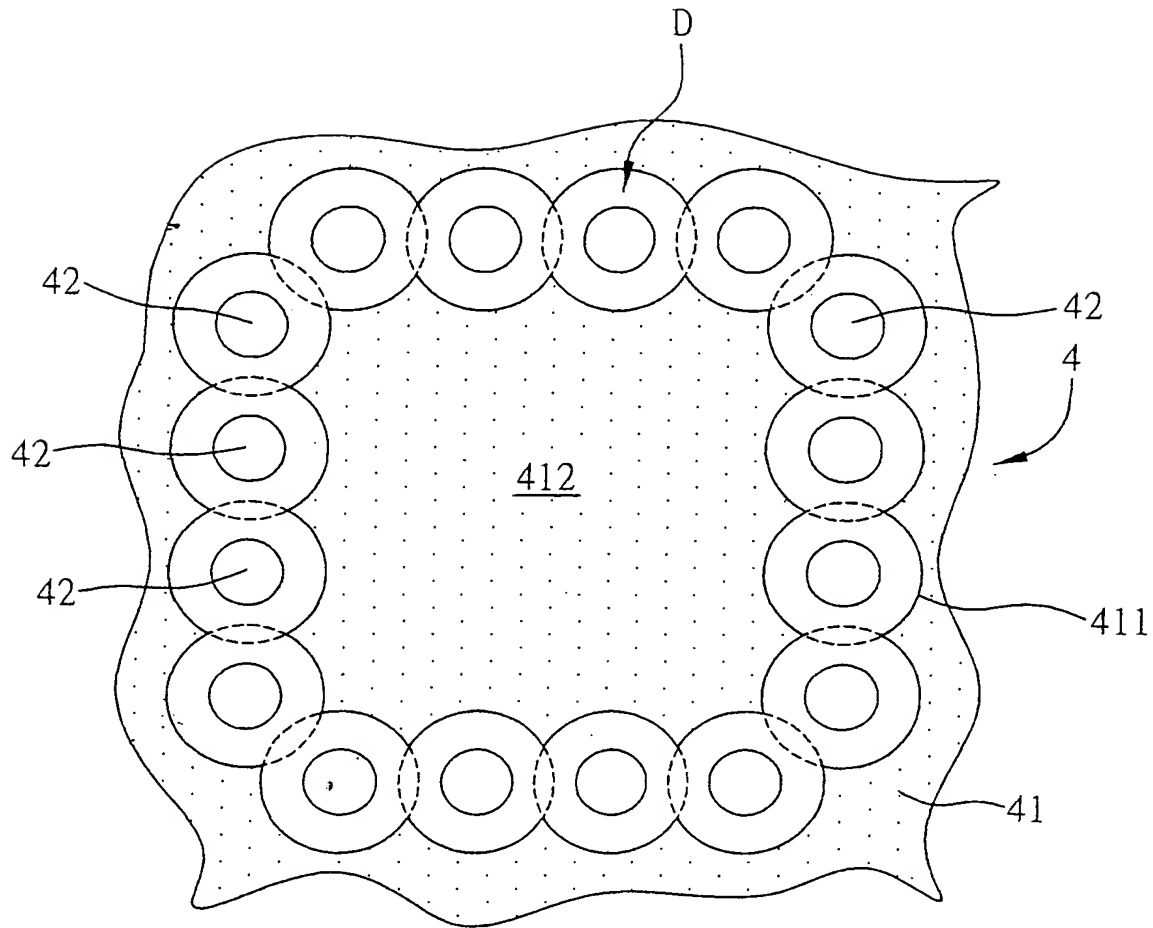
第 9B 圖 (習知技術)



第 9C 圖 (習知技術)



第 9D 圖 (習知技術)



第 10 圖 (先前技術)